

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-140885

(43)Date of publication of application : 14.05.1992

(51)Int.Cl.

G06F 15/60
H01L 21/82

(21)Application number : 02-264408

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 01.10.1990

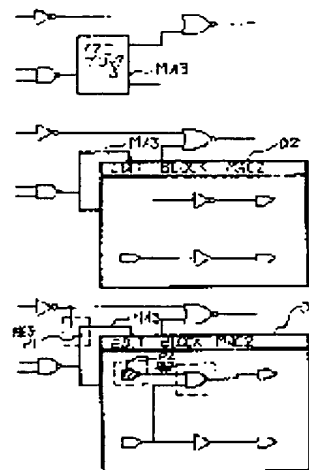
(72)Inventor : RIN MIHO

(54) CIRCUIT DIAGRAM EDITTER

(57)Abstract:

PURPOSE: To shorten a logic design time by automatically generating or erasing the macro terminal of a macro block of a hierarchy which is being edited, and the outside terminal of the macro block which is referred to by the hierarchy while being interlocked.

CONSTITUTION: A diagram (a) is a display diagram before an input signal is connected with a macro block MA3 in the hierarchy which is being edited. When a VLSI designer selects the macro block with which the signal line is to be connected in the hierarchy which is being edited, a new screen is opened as indicated by a diagram (b), and the data in the macro block are displayed in it. A diagram (c) is the display diagram indicating that the signal line to be connected is connected with the macro block, an input pin P2 is added to the outside frame of the macro block, and an outside input terminal P1 is automatically generated in the macro block. Thus, the VLSI designer can continuously edit the data in the macro block, and design the logic without noticing a modification structure. Thus, the designing time can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-140885

⑤ Int. Cl.⁵

G 06 F 15/60
H 01 L 21/82

識別記号

3 6 0 K

庁内整理番号

7922-5L

⑬ 公開 平成4年(1992)5月14日

7638-4M H 01 L 21/82

7638-4M

D
B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 回路図エディタ

⑮ 特 願 平2-264408

⑯ 出 願 平2(1990)10月1日

⑰ 発 明 者 淋 美 保 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑱ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

回路図エディタ

特許請求の範囲

VLSIの論理設計過程における階層設計をした論理回路の編集を行っている階層で入力・編集すべきマスクブロックを選択した時、そのマスクブロック内のデータを表示し、前記編集を行っている階層およびその階層で参照されているマクロブロック内のデータの入力・編集を同時に行ない、前記編集を行っている階層のマクロブロックのマクロ端子とその階層で参照されているマクロブロックの外部端子とが連動して自動的に発生または消去されるようにしたことを特徴とする回路図エディタ。

発明の詳細な説明

〔産業上の利用分野〕

本発明はVLSIの論理設計過程で、論理回路図の入力・編集を行う回路図エディタに関し、特に編集を行っている階層の論理回路図データと、その階層で参照されているマクロブロック内の論理回路図データが同時に入力・編集され、その階層間接続でマクロブロックのマクロ端子とマクロブロック内の外部端子が連動して自動接続される回路図エディタに関する。

〔従来の技術〕

従来、この種の論理回路図エディタは、編集を行なっている階層で参照されているマクロブロック内の論理回路図データの編集、入力で行なう場合には、編集を行なっている階層の論理回路図データをエディタ上に読み込んで表示し、入力・編集を行なっていた。又、階層間接続を行なう場合には、編集を行なっている階層のマクロブロック内にマクロ端子を付加し、その階層で参照されているマクロブロック内に同名の外部端子を入力することで行なっていた。

〔発明が解決しようとする課題〕

上述した従来の論理回路図エディタは、その編集を行なっている階層で参照されているマクロブロック内の回路図データの入力・編集を行なう場合には、現在編集を行なっている階層の回路図データの入力・編集を終えてセーブした後、マクロブロック内のデータをエディタ上に読込んで、入力・編集を行なっていた。そのため編集を行なっている階層と、その階層で参照されているマクロブロックとの間をまたぐ入力・編集を行なう際に、エディタ上への読込みや表示に時間がかかり、また編集を行なっている階層を行なっている階層と、その階層で参照されているマクロブロックとの階層との間の接続は、編集を行なっている階層のマクロブロックにマクロ端子を付加し、その階層で参照されているマクロブロック内に同名の外部端子を入力することで行なっているので手間がかかるという欠点がある。

本発明の目的は、このような欠点を除き、論理回路図データとマクロブロック内の回路図データが同時に入力・編集できると共に、マクロブロッ

クのマクロ端子と外部端子とを自動接続できるようにした回路図エディタを提供することにある。
〔課題を解決するための手段〕

本発明の回路図エディタの構成は、VLSIの論理設計過程における階層設計をした論理回路の編集を行っている階層で入力・編集すべきマクロブロックを選択した時、そのマクロブロック内のデータを表示し、前記編集を行っている階層およびその階層で参照されているマクロブロック内のデータの入力・編集を同時に行ない、前記編集を行っている階層のマクロブロックのマクロ端子とその階層で参照されているマクロブロックの外部端子とが連動して自動的に発生または消去されるようにしたことを特徴とする。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例を説明するフロー図である。

本実施例のマクロブロック内編集機能付き回路図エディタは、まずステップS₁で現在編集を行

なっている階層の回路図面を入力・編集したマクロブロックを選択すると、ステップS₂で別の画面が現われ、マクロブロック内のデータが表示される。そしてステップS₃で編集を行なっている階層及びその階層で参照されているマクロブロック内のデータが同時に入力・編集される。

次に、ステップS₄で編集を行なっている階層のマクロブロックにマクロ端子を付加（削除）した時に、そのマクロブロック内に付加（削除）したマクロ端子名と同じ名前の外部端子が自動発生（消去）される。

また、ステップS₅で、そのマクロブロック内で外部端子を入力（削除）した時に、そのブロックを参照している階層のマクロブロックの外枠に入力した外部端子名と同じ名前のピン（マクロ端子）が自動発生（消去）される。そして、ステップS₆でマクロブロック内の入力・編集を終えた時には、データを表示していた画面が消え、終了となる。

第2図（a）～（d）は、本実施例のマクロブ

ロック内編集機能付き回路図エディタで編集している階層と、その階層で参照されているマクロブロック内の回路図データを同時に編集することを工程順に示した回路図の表示図である。

まず第2図（a）は、編集している階層の同種の論理素子A及び論理素子BをマクロブロックMA2内に移動する前の表示図である。VLSI設計者は、編集している階層中で編集したいマクロブロックMA2を選択すると（ステップS₁）、第2図（b）の様に、新しい画面が開かれ、その中にマクロブロック内のデータD1が表示される（ステップS₂）。

次の第2図（c）では素子A及び素子Bをマクロブロック内への移動が完了した表示図であり（ステップS₄、S₅）、第2図（d）では編集を終えてマクロブロック内のデータを表示していた画面が消えた表示図である（ステップS₆）。

第3図（a）～（c）は、本実施例のマクロブロック内編集機能付き回路図エディタで編集している階層のマクロブロックに入力ピンを付加した

時にその階層で参照されているマクロブロック内に外部入力端子が自動発生することを示す表示図である。

第3図(a)では、編集している階層においてマクロブロックMA3に入力信号を接続する前の表示図である。VLSI設計者は、編集している階層の中で、信号線を接続したいマクロブロックを選択すると(ステップS₁)、第3図(b)の様に新しい画面が開かれ、その中にマクロブロック内のデータが表示される(ステップS₂)。

第3図(c)は、接続したい信号線をマクロブロックに接続し、マクロブロックの外枠に入力ピンP2を付加し、マクロブロック内に外部入力端子P1が自動発生したことを示す表示図である(ステップS₄、S₅)。

このようにVLSI設計者は、マクロブロック内のデータの編集を継続して行なうことができ、改造構造を意識しないで論理設計を行なうことができる。

なお、このマクロ端子及び外部端子は点滅して

発生し、設計者がポインティングデバイスにより、所望の位置に配置できる。

(発明の効果)

以上説明したように本発明は、階層設計を行なった論理回路図で編集している階層と、その階層で参照されているマクロブロック内のデータの入力・編集を行なうことができ、また編集しているマクロブロックにマクロ端子を付加した時に、そのマクロブロック内に外部端子が自動発生したり、マクロブロック内に外部端子を入力した時にそのマクロブロックを参照している階層のマクロブロックの外枠にマクロ端子が自動発生したり、できるので、階層を意識せずに入力・編集ができ、VLSIの論理設計の設計時間を短縮できる効果がある。

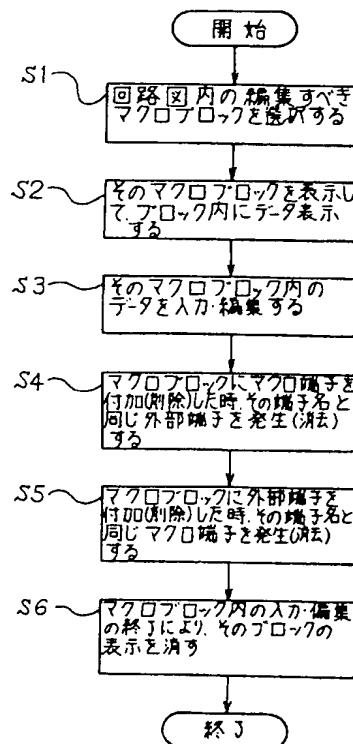
図面の簡単な説明

第1図は本発明の一実施例を説明するフロー図、第2図(a)～(d)は本実施例の回路図エディタで編集している階層と、その階層で参照さ

れているマクロブロック内の回路図データを同時に編集することを示した表示図、第3図(a)～(c)は本実施例の回路図エディタで編集している階層のマクロブロックに入力ピンを付加した時に、その階層で参照されているマクロブロック内に外端入力端子が自動発生することを示す表示図である。

A、B、E…論理素子、A1…移動した論理素子、D1、D2…マクロブロックのデータ、MA1、MA2、MA3…マクロブロック、P1…外部端子、P2…マクロ端子(ピン)、S₁～S₆…処理ステップ。

代理人 弁理士 内 原 晋



第1図

